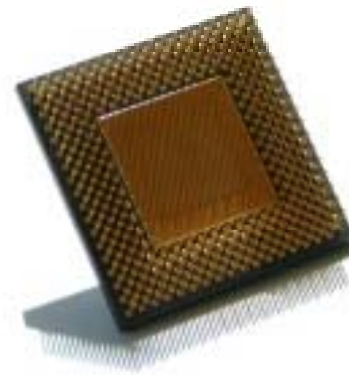




ETUDE ET REALISATION D'UN MICROPROCESSEURS RISC



Vicheka PHOR

Master 2 Professionnel

INFORMATIQUE

CAMSI

Conception d'Architecture de Machine et Systèmes Informatiques

PLAN DE LA PRESENTATION

- I. Introduction au sujet de projet
 - I.1 Objectif du projet
 - I.2 Travail demandé
- II. Conception de processeur RISC
 - II.1 Chemin de données pipeline
 - II.2 Unité de contrôle
 - II.3 Aléas dans les pipelines
- III. Réalisation et simulation
 - III.1 Mise en œuvre de processeur RISC en VHDL
 - III.2 Compilateur
 - III.3 Résultats de simulation
- IV. Synthèse
- V. Conclusion

I. Introduction au sujet de projet

I.1 Objectif du projet

- Mise en oeuvre d'une architecture de processeur RISC

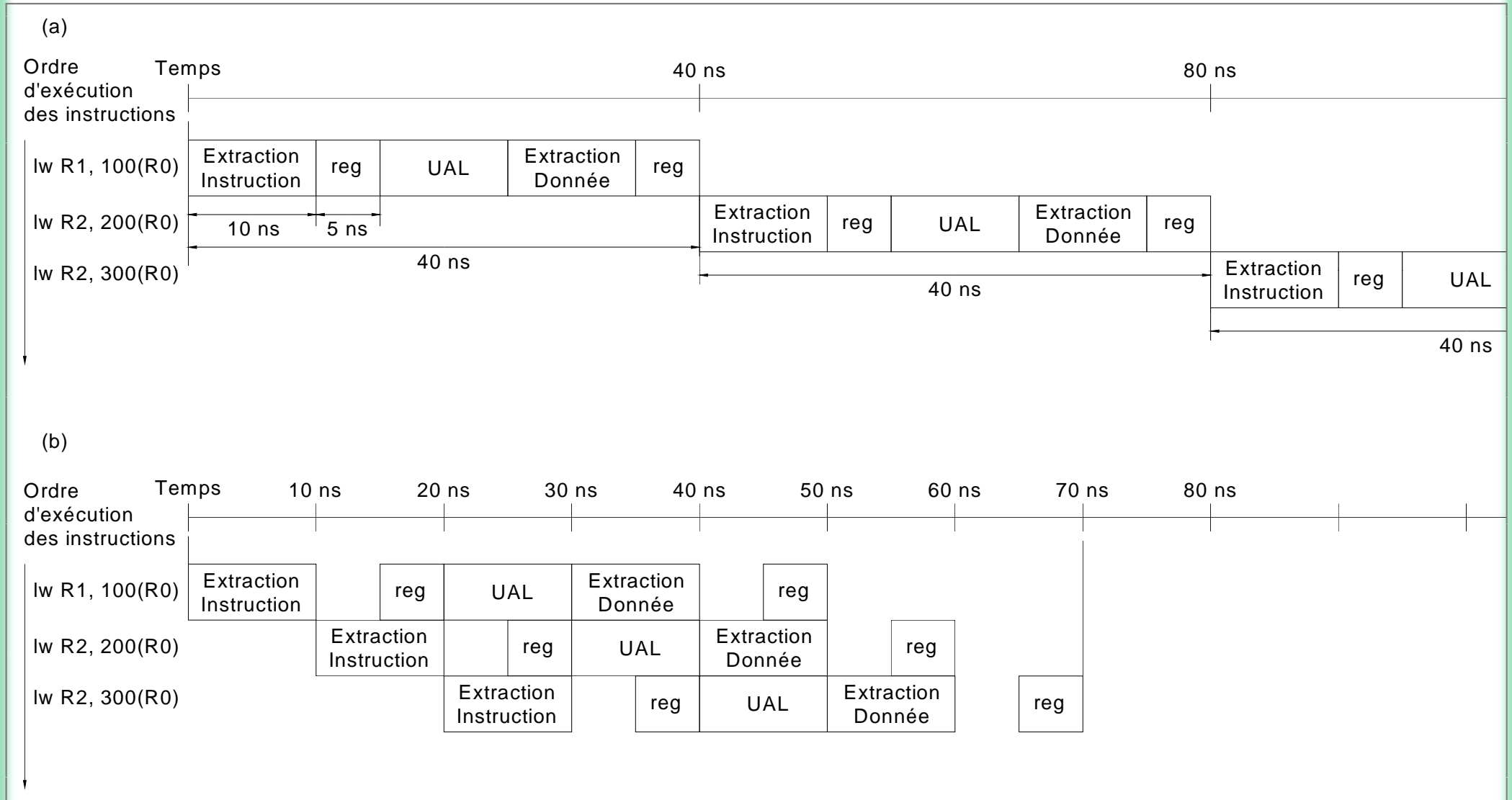
I.2 Travail demandé

- Conception
- Simulation
- Synthèse

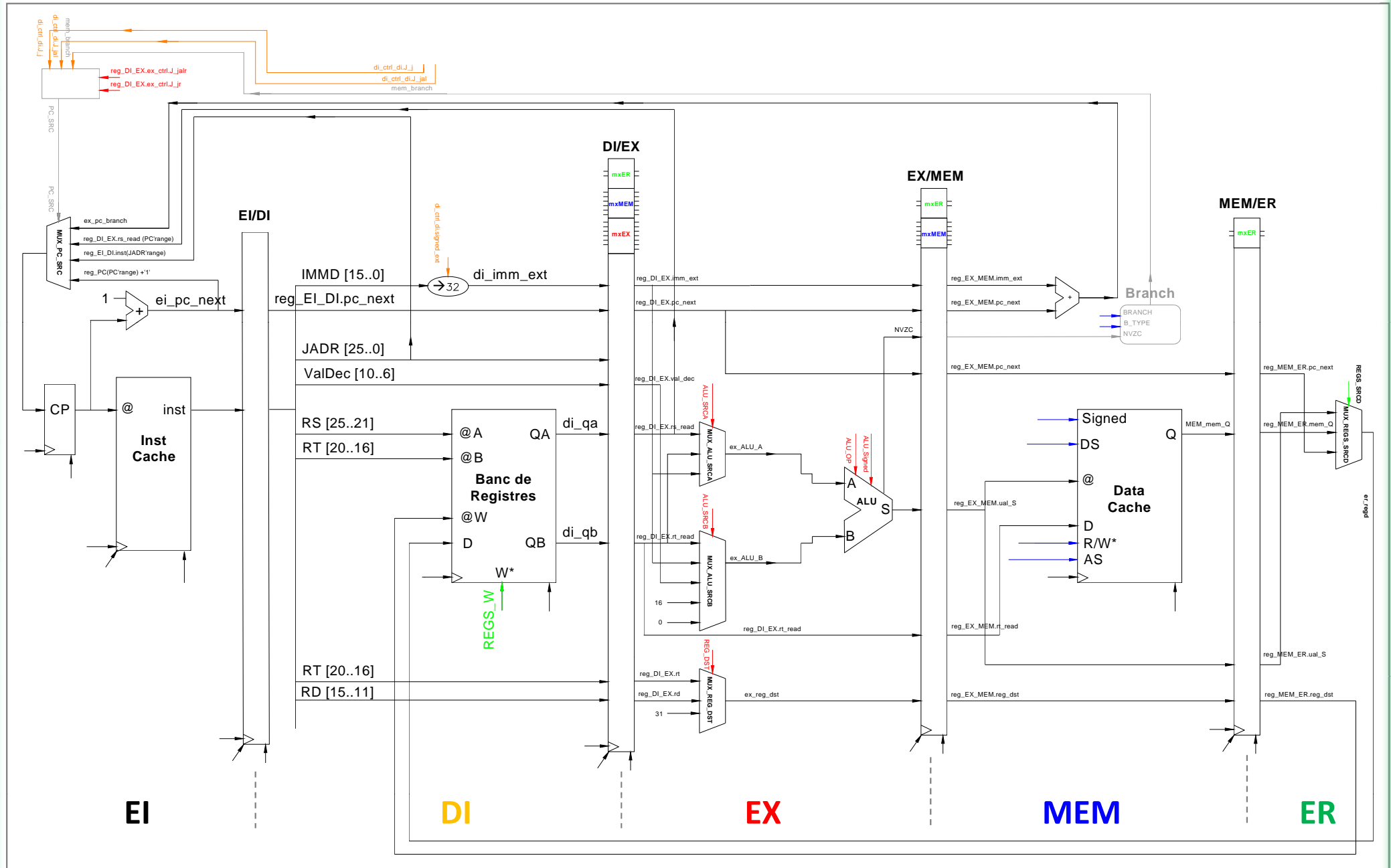
II. Conception de processeur RISC

- II.1 Chemins de données pipeline
- II.2 Unité de contrôle
- II.3 Aléas dans le pipeline

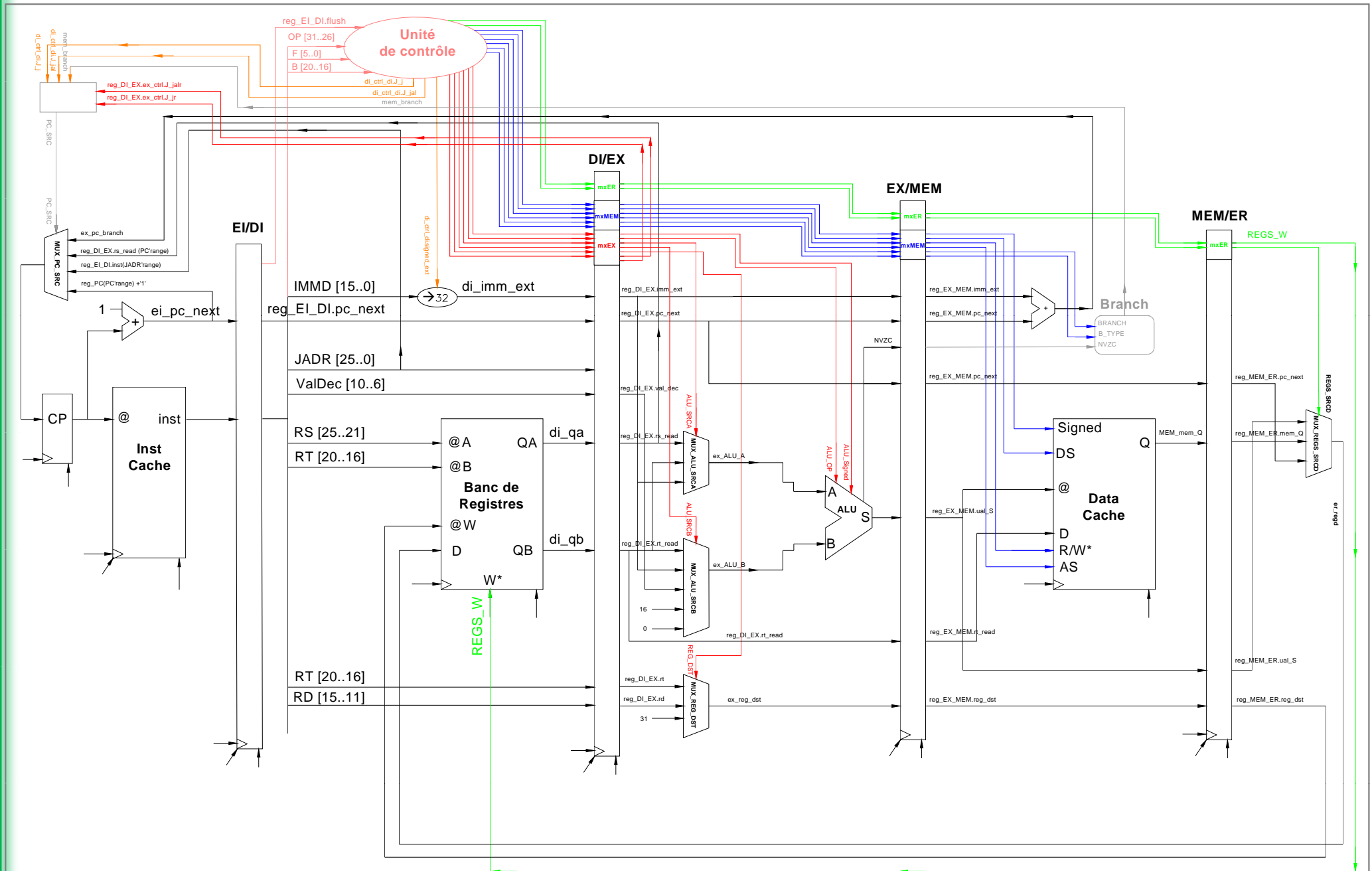
II.1 Chemin de données pipeline (1)



II.1 Chemin de données pipeline (2)



II.2 Unité de contrôle (1)



II.2 Unité de contrôle (2)

OPCODE	FCODE	rt / B	Étage DI			Étage EX						
			Lignes de contrôle			Lignes de contrôle						
			SIGNED_EXT	J_j	J_jal	ALL_OP	ALL_SIGNED	MUX ALL_SRC_A	MUX ALL_SRC_B	MUX REG_DST	J_jr	J_jalr
TYPE_R "000000"	ADD		0	-	-	ALU_ADD	1	REGS_QA	REGS_QB	REG_RD	-	-
	ADDU		0	-	-	ALU_ADD	0	REGS_QA	REGS_QB	REG_RD	-	-
	SUB		0	-	-	ALU_SUB	1	REGS_QA	REGS_QB	REG_RD	-	-
	SUBU		0	-	-	ALU_SUB	0	REGS_QA	REGS_QB	REG_RD	-	-
	iAND		0	-	-	ALU_AND	0	REGS_QA	REGS_QB	REG_RD	-	-
	iOR		0	-	-	ALU_OR	0	REGS_QA	REGS_QB	REG_RD	-	-
	iNOR		0	-	-	ALU_NOR	0	REGS_QA	REGS_QB	REG_RD	-	-
	iXOR		0	-	-	ALU_XOR	0	REGS_QA	REGS_QB	REG_RD	-	-
	SLT		0	-	-	ALU_SLT	1	REGS_QA	REGS_QB	REG_RD	-	-
	SLTU		0	-	-	ALU_SLT	0	REGS_QA	REGS_QB	REG_RD	-	-
	LSL		0	-	-	ALU_LSL	0	REGS_QB	VAL_DEC	REG_RD	-	-
	LSR		0	-	-	ALU_LSR	0	REGS_QB	VAL_DEC	REG_RD	-	-
	JR		0	-	-	-	-	REGS_QA	REGS_QB	REG_RD	1	-
	JALR		0	-	-	-	-	REGS_QA	REGS_QB	REG_RD	-	1
TYPE_B "000001"		BLTZ	1	-	-	ALU_SUB	1	REGS_QA	VAL_0	-	-	-
		BGEZ	1	-	-	ALU_SUB	1	REGS_QA	VAL_0	-	-	-
		BLTZAL	1	-	-	ALU_SUB	1	REGS_QA	VAL_0	R31	-	-
		BGEZAL	1	-	-	ALU_SUB	1	REGS_QA	VAL_0	R31	-	-
TYPE_J	J		0	1	-	-	-	-	-	-	-	-
	JAL		0	-	1	-	-	-	R31	-	-	-
TYPE_I	ADDI		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	ADDIU		1	-	-	ALU_ADD	0	REGS_QA	IMMD	REG_RT	-	-
	SLTI		1	-	-	ALU_SLT	1	REGS_QA	IMMD	REG_RT	-	-
	SLTIU		1	-	-	ALU_SLT	0	REGS_QA	IMMD	REG_RT	-	-
	ANDI		0	-	-	ALU_AND	0	REGS_QA	IMMD	REG_RT	-	-
	ORI		0	-	-	ALU_OR	0	REGS_QA	IMMD	REG_RT	-	-
	XORI		0	-	-	ALU_XOR	0	REGS_QA	IMMD	REG_RT	-	-
	LUI		0	-	-	ALU_LSL	1	IMMD	VAL_16	REG_RT	-	-
	LB		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	LH		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	LW		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	LBU		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	LHU		1	-	-	ALU_ADD	1	REGS_QA	IMMD	REG_RT	-	-
	SB		1	-	-	ALU_ADD	1	REGS_QA	IMMD	-	-	-
	SH		1	-	-	ALU_ADD	1	REGS_QA	IMMD	-	-	-
	SW		1	-	-	ALU_ADD	1	REGS_QA	IMMD	-	-	-
	BEQ		1	-	-	ALU_SUB	1	REGS_QA	REGS_QB	-	-	-
	BNE		1	-	-	ALU_SUB	1	REGS_QA	REGS_QB	-	-	-
	BLEZ		1	-	-	ALU_SUB	1	REGS_QA	REGS_QB	-	-	-
	BGTZ		1	-	-	ALU_SUB	1	REGS_QA	REGS_QB	-	-	-

II.2 Unité de contrôle (3)

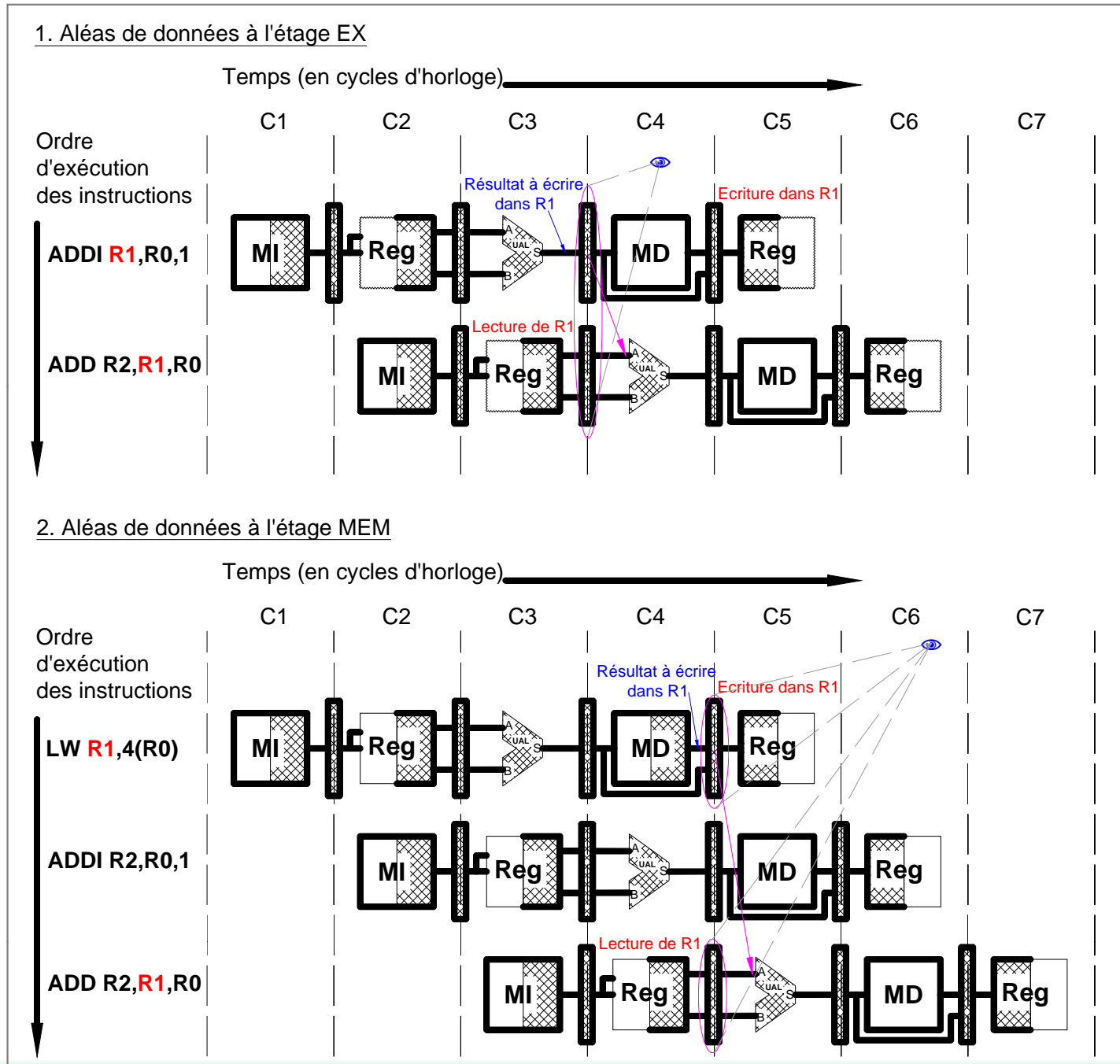
OPCODE		FCODE	rt / B	Étage MEM						Étage ER		
				Lignes de contrôle						Lignes de contrôle		
				DC_AS	DC_SIGNED	DC_DS	DC_RW	BRANCH	MUX B_type	REGS_WF	MUX REGS_PROD	
TYPE_R "000000"	ADD			0	1	-	-	0	-	0	ALU_S	
	ADDU			0	1	-	-	0	-	0	ALU_S	
	SUB			0	1	-	-	0	-	0	ALU_S	
	SUBU			0	1	-	-	0	-	0	ALU_S	
	iAND			0	1	-	-	0	-	0	ALU_S	
	iOR			0	1	-	-	0	-	0	ALU_S	
	iNOR			0	1	-	-	0	-	0	ALU_S	
	iXOR			0	1	-	-	0	-	0	ALU_S	
	SLT			0	1	-	-	0	-	0	ALU_S	
	SLTU			0	1	-	-	0	-	0	ALU_S	
	LSL			0	1	-	-	0	-	0	ALU_S	
	LSR			0	1	-	-	0	-	0	ALU_S	
	JR			0	1	-	-	0	-	1	-	
	JALR			0	1	-	-	0	-	0	NextPC	
	TYPE_B "000001"			BLTZ	0	-	-	-	1	B_bltz	1	-
			BGEZ	0	-	-	-	1	B_bgez	1	-	
			BLTZAL	0	-	-	-	1	B_bltz	0	NextPC	
			BGEZAL	0	-	-	-	1	B_bgez	0	NextPC	
				0	-	-	-	0	-	1	-	
TYPE_J	J			0	-	-	-	0	-	1	-	
	JAL			0	-	-	-	0	-	0	NextPC	
TYPE_I	ADDI			0	-	-	-	0	-	0	ALU_S	
	ADDIU			0	-	-	-	0	-	0	ALU_S	
	SLTI			0	-	-	-	0	-	0	ALU_S	
	SLTIU			0	-	-	-	0	-	0	ALU_S	
	ANDI			0	-	-	-	0	-	0	ALU_S	
	ORI			0	-	-	-	0	-	0	ALU_S	
	XORI			0	-	-	-	0	-	0	ALU_S	
	LUI			0	-	-	-	0	-	0	ALU_S	
	LB			1	1	MEM_8	1	0	-	0	MEM_Q	
	LH			1	1	MEM_16	1	0	-	0	MEM_Q	
	LW			1	1	MEM_32	1	0	-	0	MEM_Q	
	LBU			1	0	MEM_8	1	0	-	0	MEM_Q	
	LHU			1	0	MEM_16	1	0	-	0	MEM_Q	
	SB			1	1	MEM_8	0	0	-	1	-	
	SH			1	1	MEM_16	0	0	-	1	-	
SW			1	1	MEM_32	0	0	-	1	-		
BEQ			0	-	-	-	1	B_beq	1	-		
BNE			0	-	-	-	1	B_bne	1	-		
BLEZ			0	-	-	-	1	B_blez	1	-		
BGTZ			0	-	-	-	1	B_bgtz	1	-		

II.3 Aléas dans les pipelines

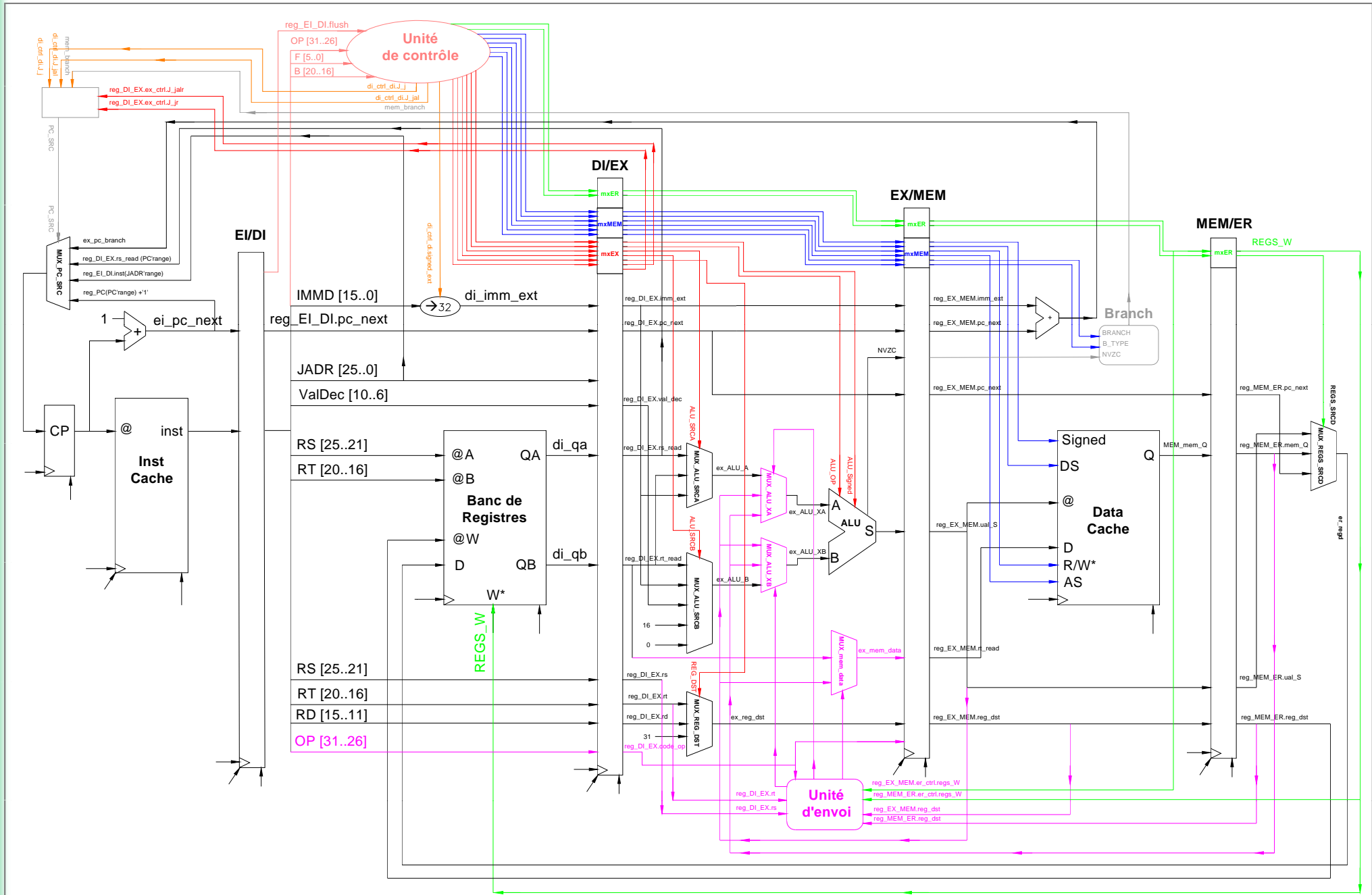
II.3.1 Aléas de données

II.3.2 Aléas de branchement

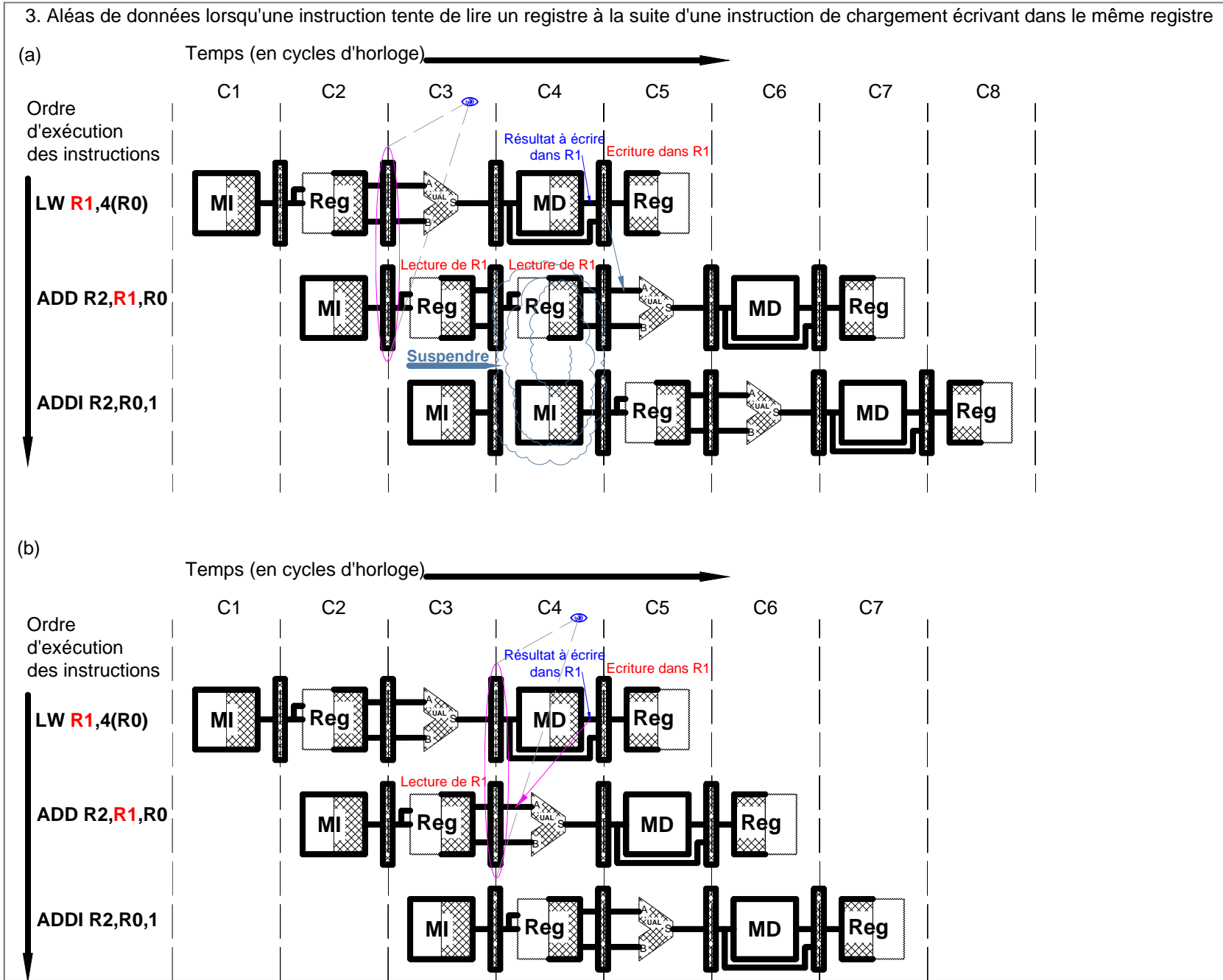
II.3.1 Aléas de données (1)



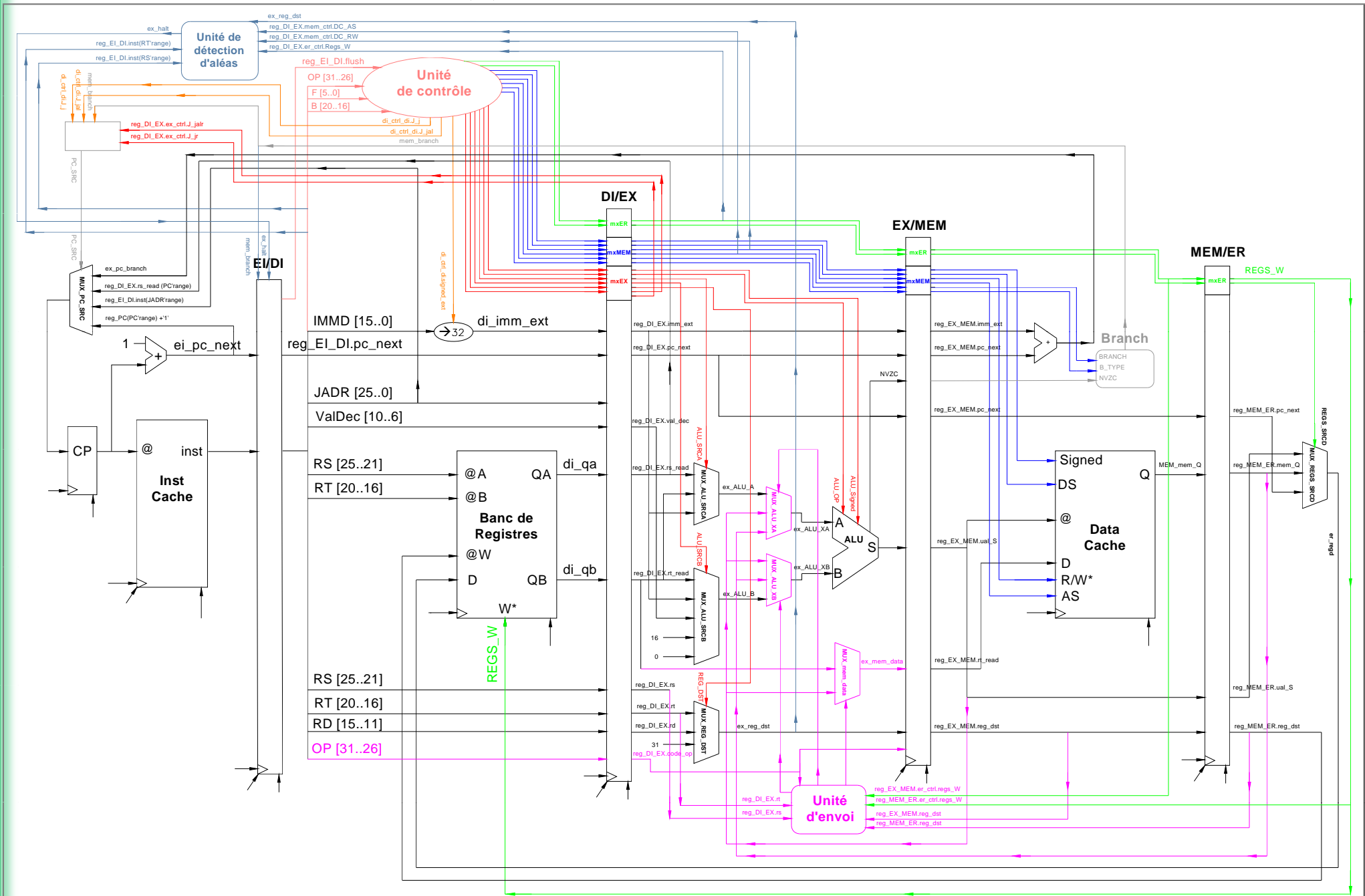
II.3.1 Aléas de données (2)



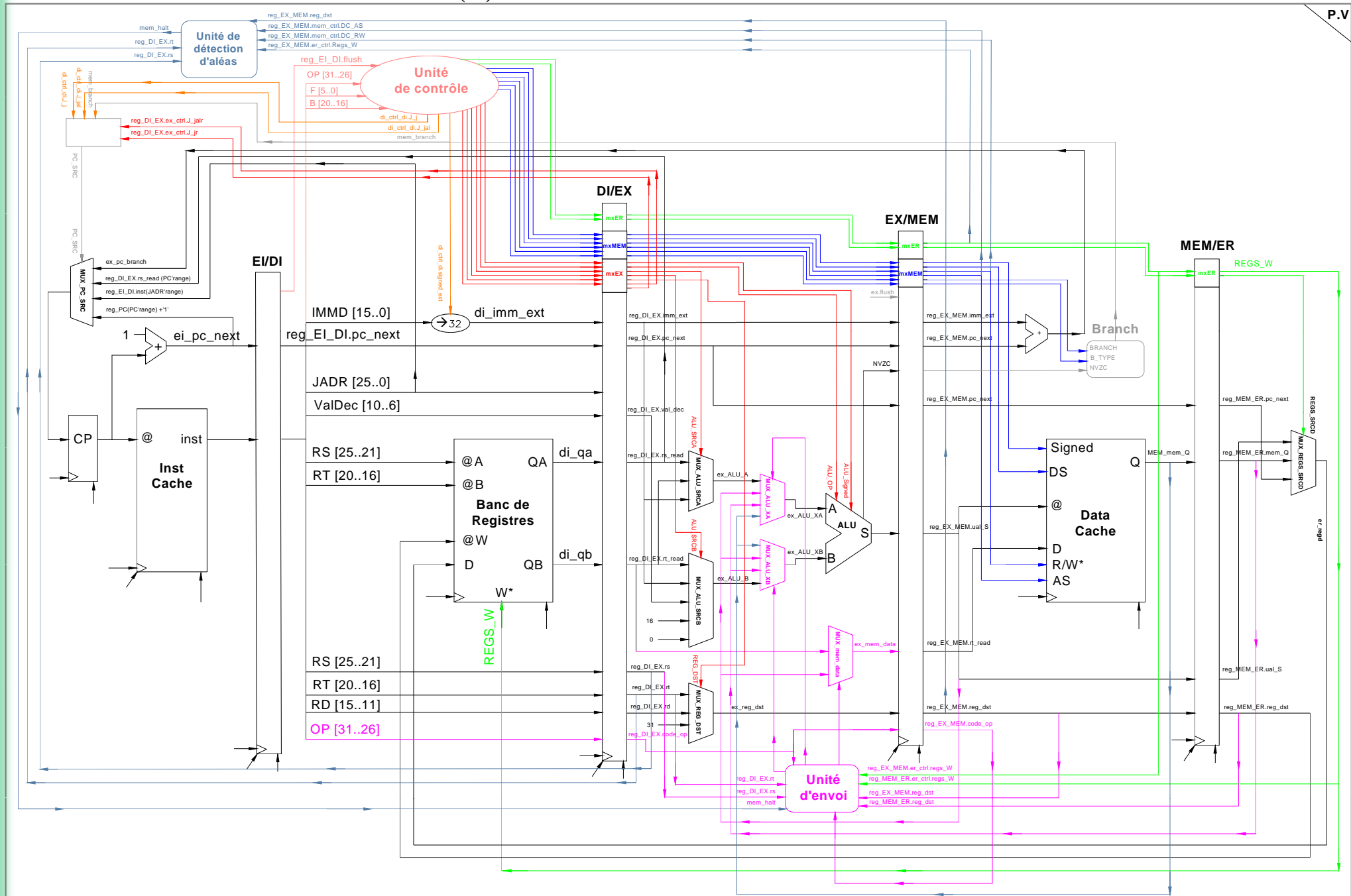
II.3.1 Aléas de données (3)



II.3.1 Aléas de données (4)

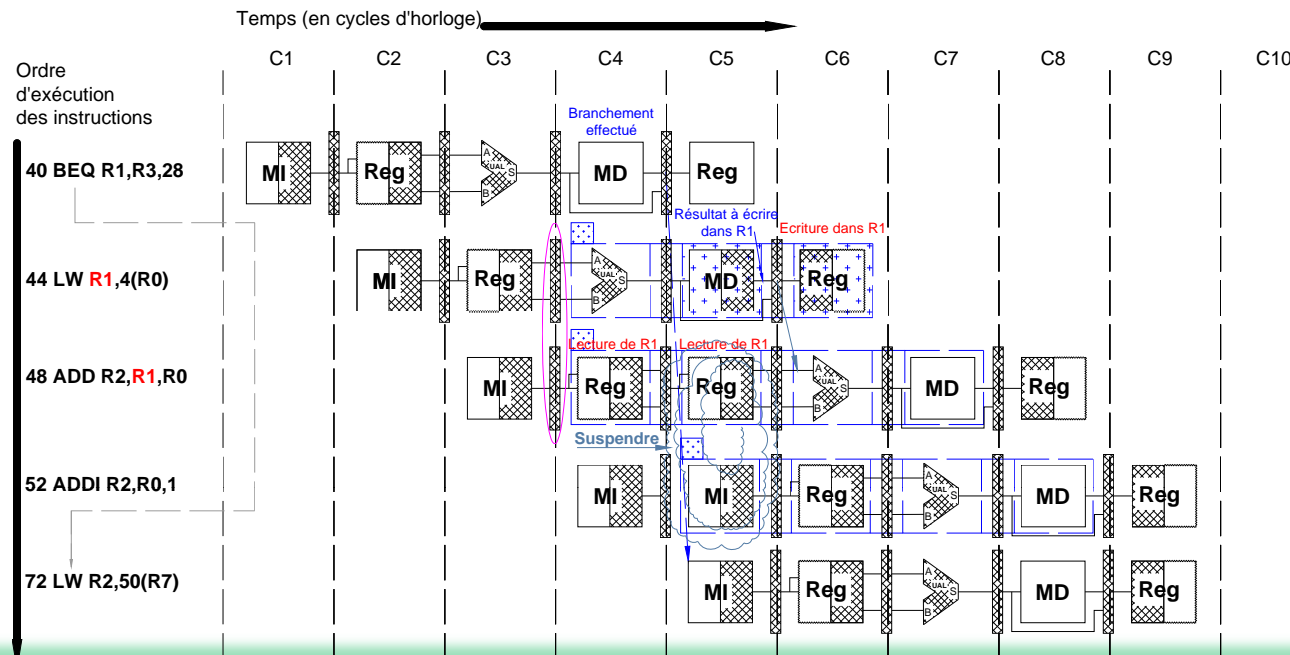
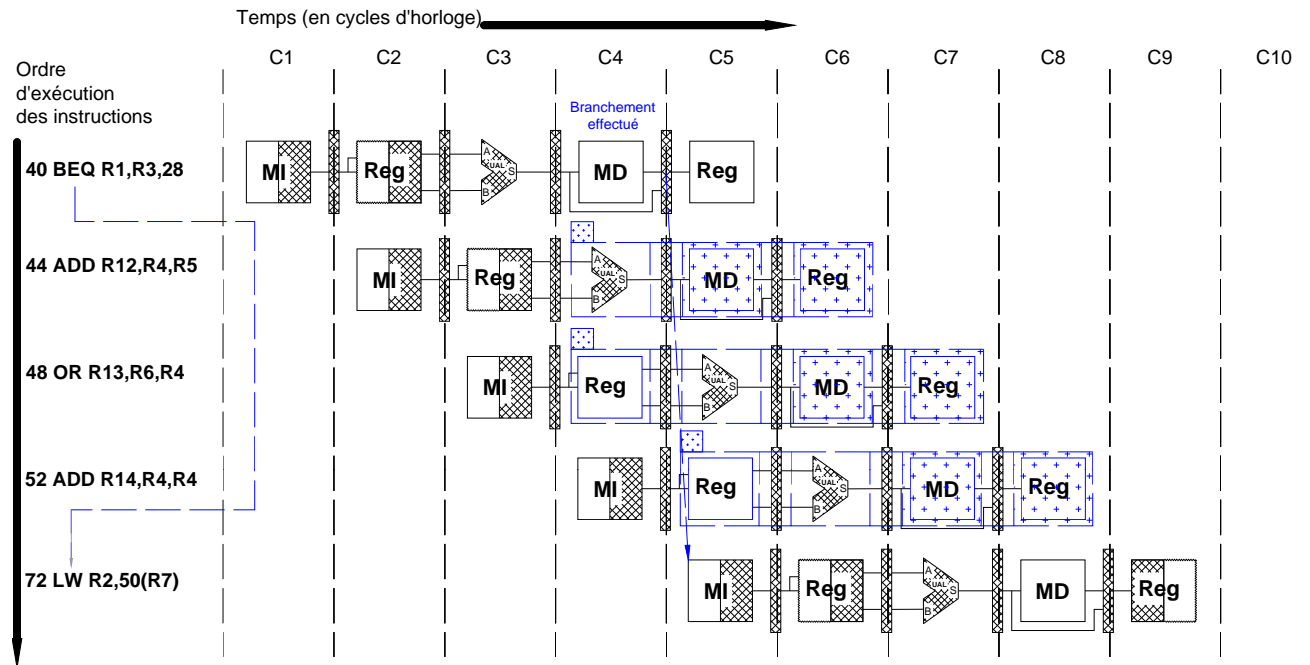


II.3.1 Aléas de données (5)

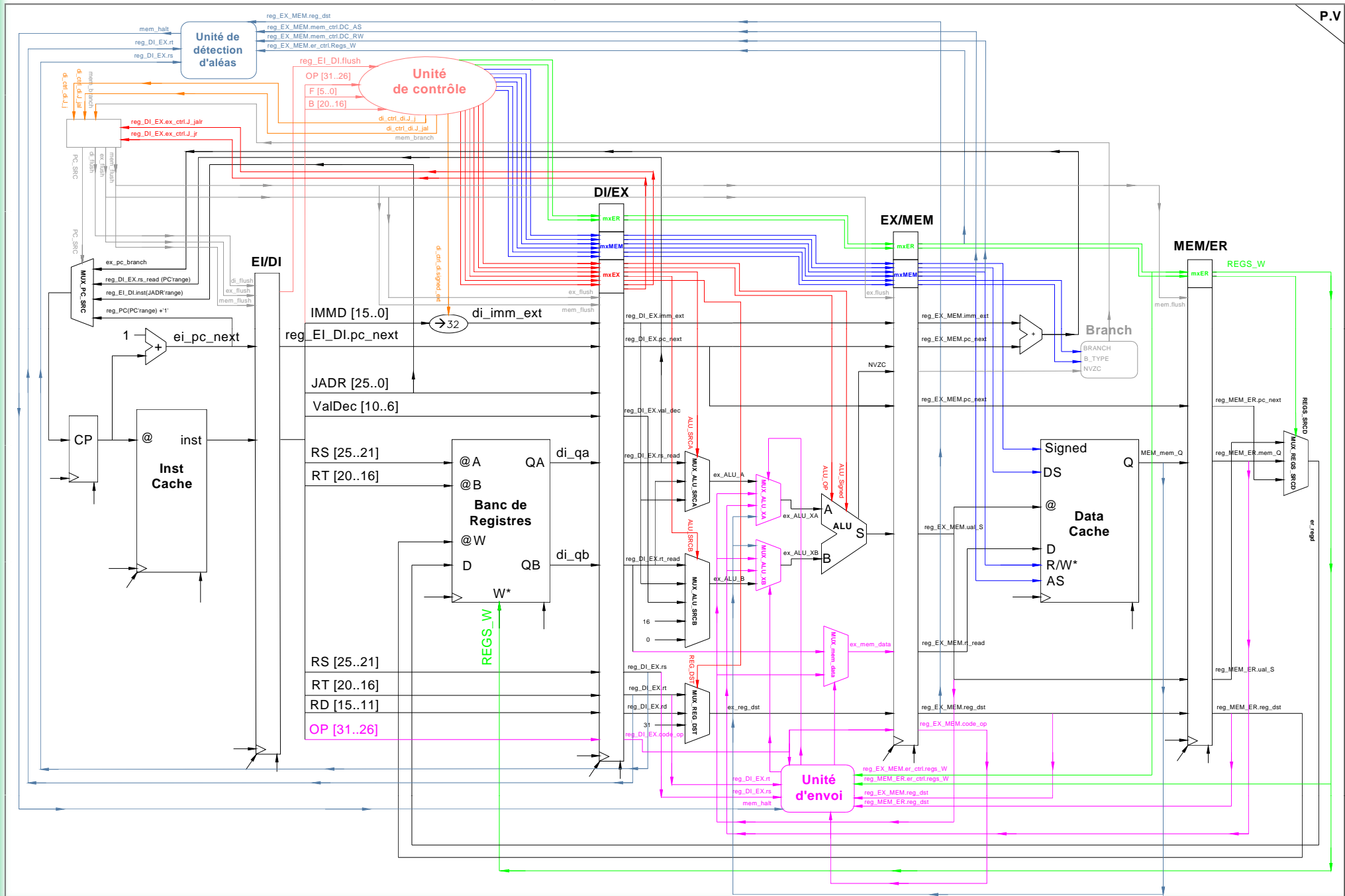


P.V

II.3.2 Aléas de branchement (1)



II.3.2 Aléas de branchement (2)



III. Réalisation et simulation

III.1 Mise en œuvre de processeur RISC en VHDL

III.2 Compilateur

III.3 Résultats de simulation

III.1 Mise en œuvre de processeur RISC en VHDL

- *registres.1.vhd*
- *memory.1.correction.vhd*
- *cpu_package.2_1.vhd*
- *V5cpu_package.2.vhd* et *V5risc.0.vhd*
- *V6cpu_package.2.vhd* et *V6risc.0.vhd*
- *logique.i.0.txt*
- *logique.d.0.txt*

III.2 Compilateur

- *r3kasm2.c* et *r3kasm2.h*

IV. Synthèse

Fichier de synthèse	Période d'horloge T_{CLK} [ns]	Fréquence de l'horloge [MHz]	Chemin critique [ns]	Voltage [V]	Puissance dynamique [mW]	Puissance statique [uW]	Nombre de cellules
<i>V5risc.0.vhd</i>	10	100	9,85	3,30	54,5345	1,4224	14185
	9	111,11	8,85	3,30	60,7387	1,4325	14322
	8	125	7,85	3,30	68,3236	1,4376	14383
	7	142,86	7,68	3,30	78,2718	1,4425	14415
<i>V6risc.0.vhd</i>	8	125	7,96	3,30	68,7665	1,4603	14583
	7	142,86	7,79	3,30	78,4423	1,4596	14603

V. Conclusion

Important

- Aider à comprendre les concepts abordés dans le cours
- Maîtriser les logiciels: ModelSim, Cadence, AutoCAD, Synopsis

Difficultés

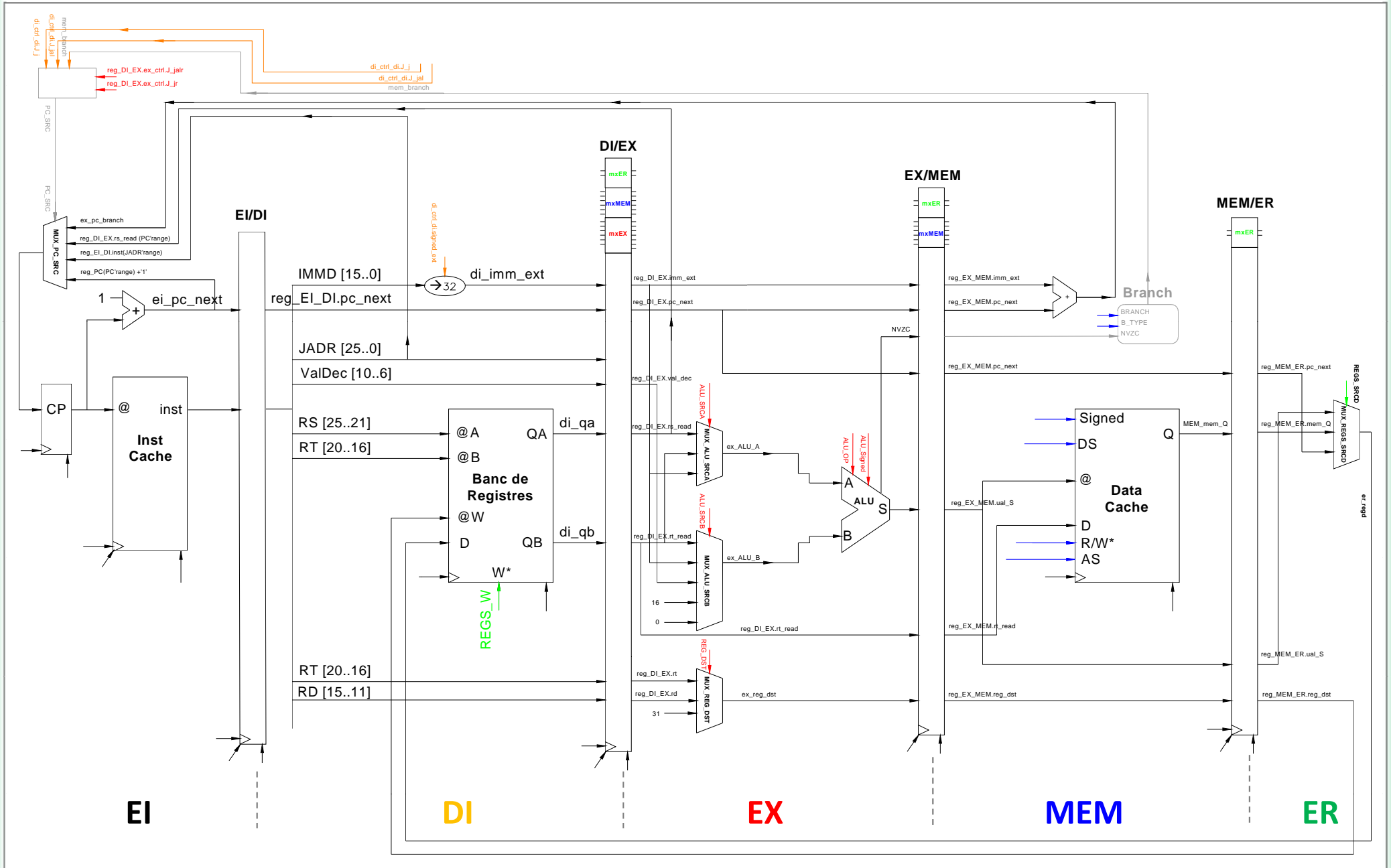
- Prendre beaucoup de temps
- Bloqué parfois
- Sans logiciel Synopsis sur mon PC pour faire la synthèse

REFERENCES BIBLIOGRAPHIQUES

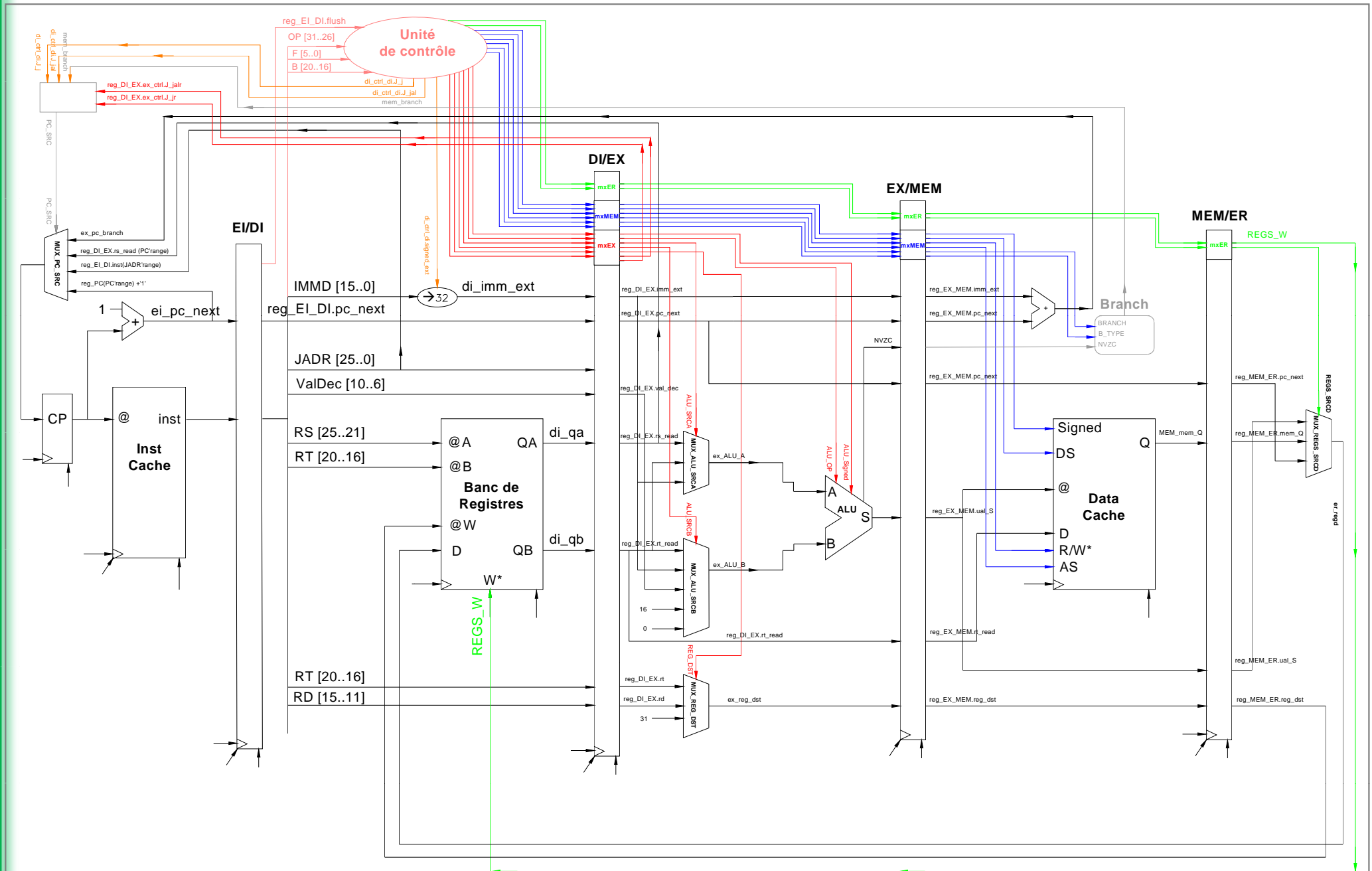
- [1] Computer Organization & Design. David A. Patterson and John L. Hennessy, ISBN 1-55860-428-6, p 476-501, 525-256.
- [2] University of California at Davis Computer Science Museum,
<http://wwwcsif.cs.ucdavis.edu/~csclub/museum/cpu.html>, October 1999.
- [3] Advanced Microprocessors, Daniel Tabak, ISBN 0-07-062843-2, p 79-99.
- [4] The Practical XILINX Designer Lab Book, Dave Van den Bout, ISBN 0-13-095502-7, p 30-31.
- [5] XILINX datasheet library, <http://www.xilinx.com/partinfo/4000.pdf>, November 1999.
- [6] Evaluation of a reconfigurable computing engine for digital communication applications, Jonas Thor, ISSN 1402-1617, p 12-17.
- [7] « Architecture des ordinateurs : une approche quantitative » John L. Hennessy, David A. Patterson – Vuibert (3^{ème} édition)
- [8] « Conception des circuits en VHDL » Dominique Houzet –Cepadues

Merci pour votre attention.

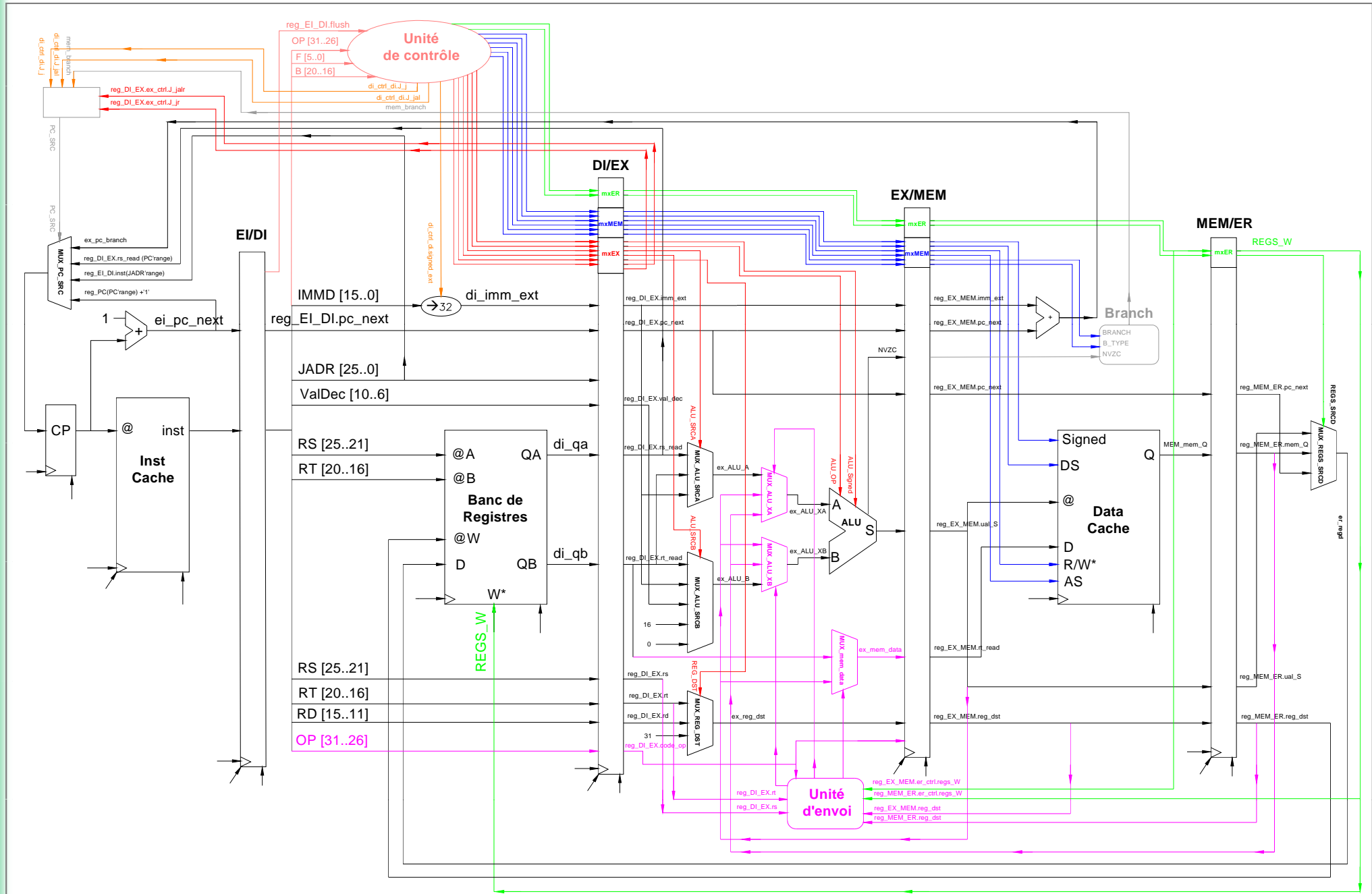
II.1 Chemin de données pipeline (2)



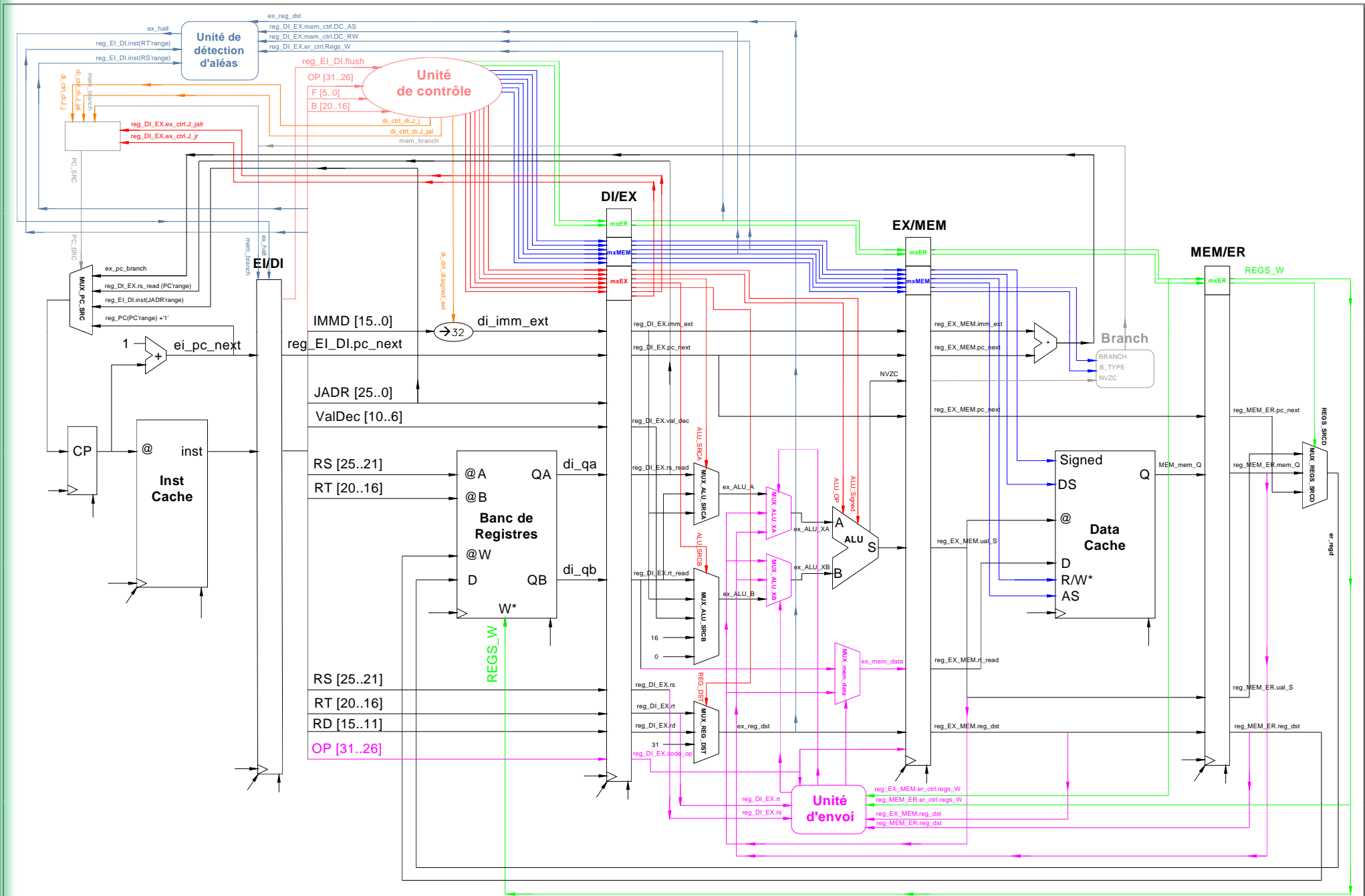
II.2 Unité de contrôle (1)



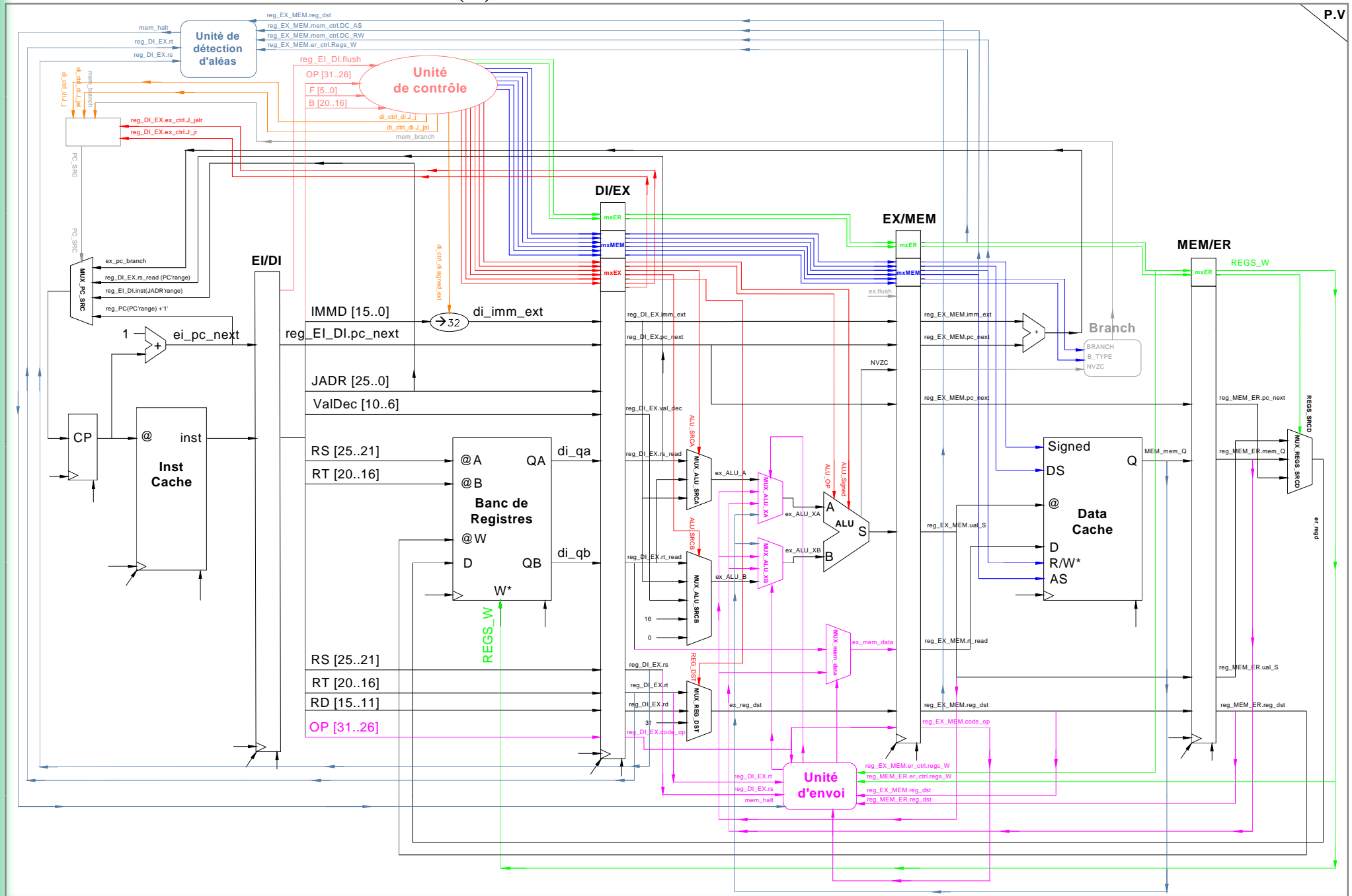
II.3.1 Aléas de données (2)



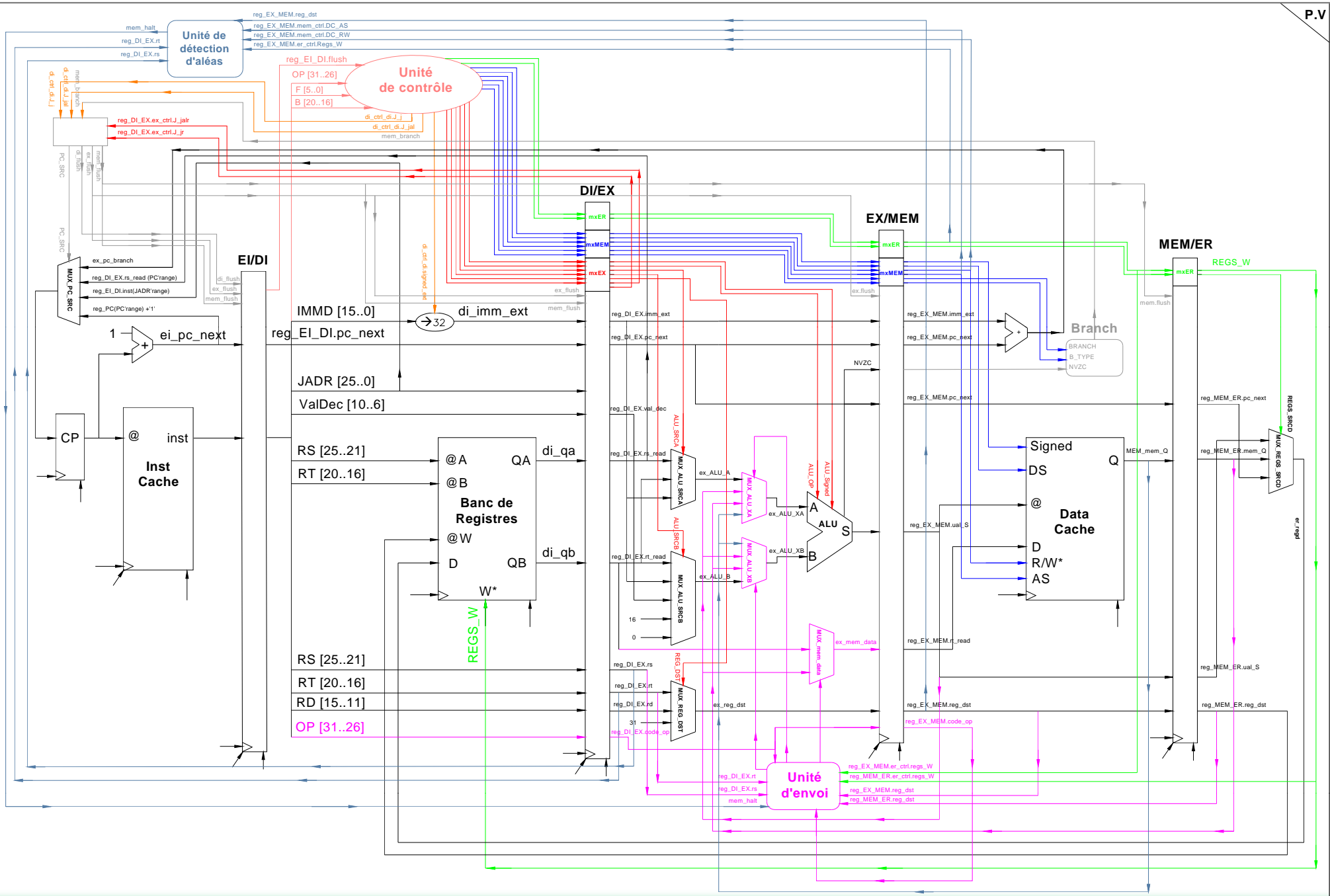
II.3.1 Aléas de données (4)



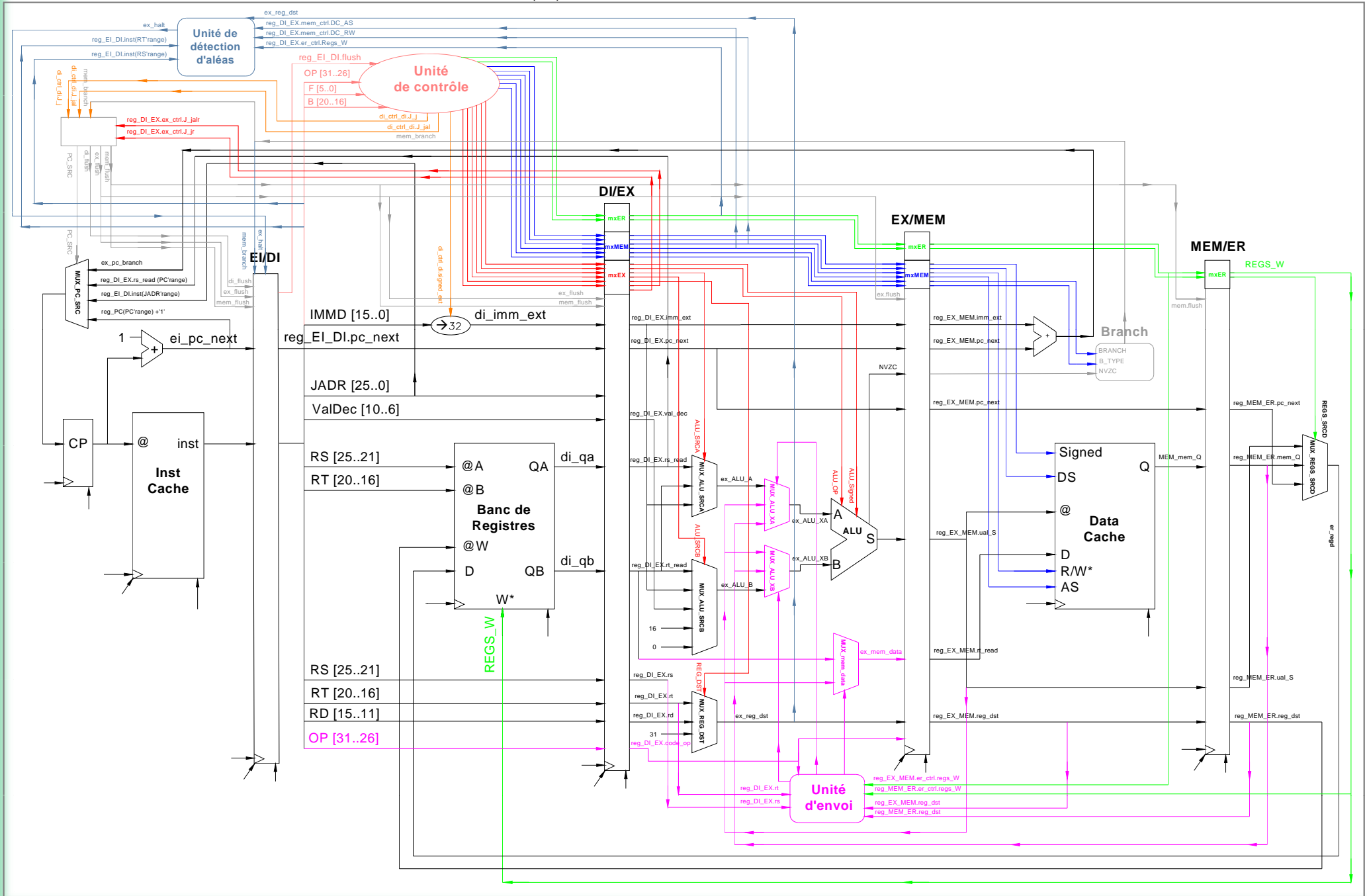
II.3.1 Aléas de données (5)



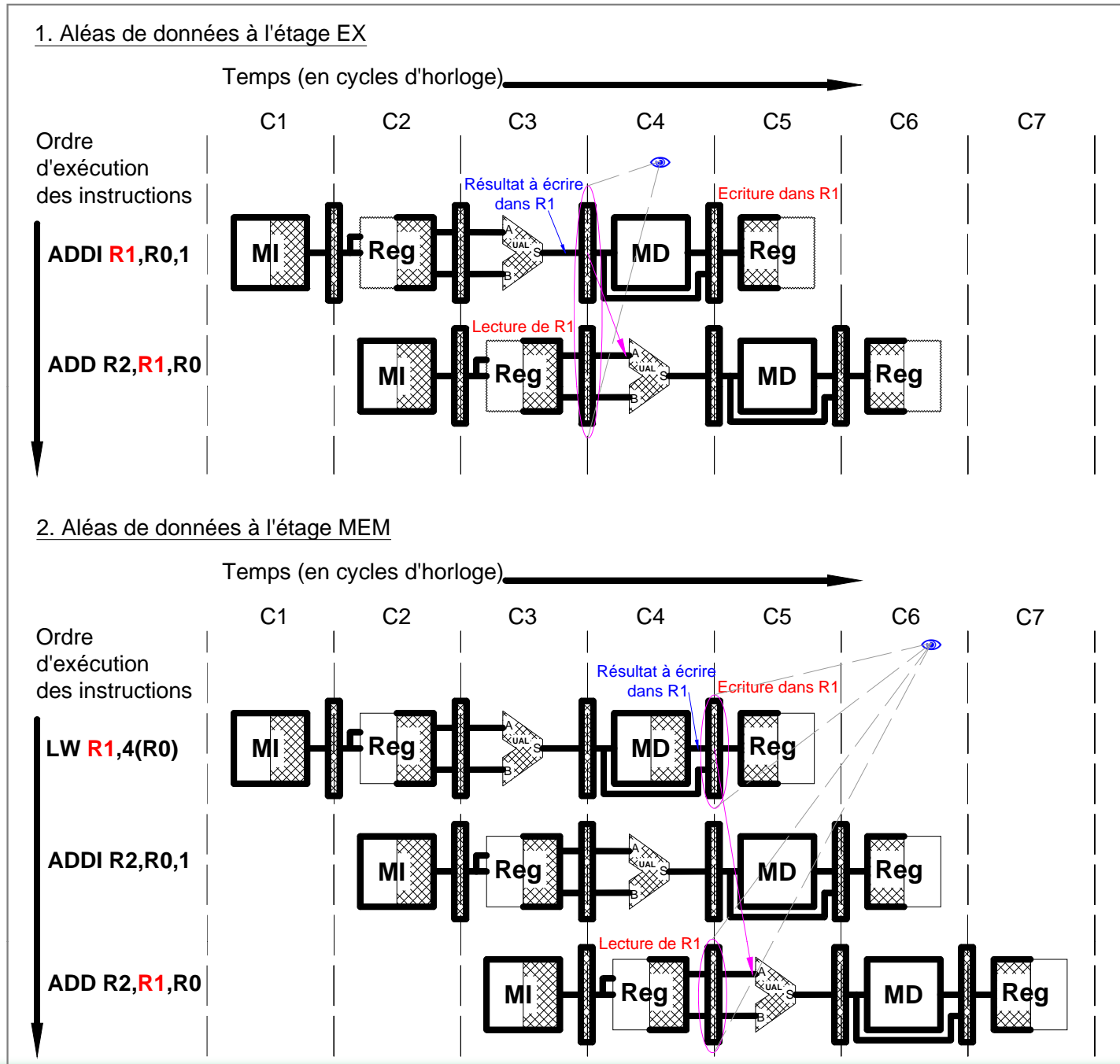
II.3.2 Aléas de branchement (2)



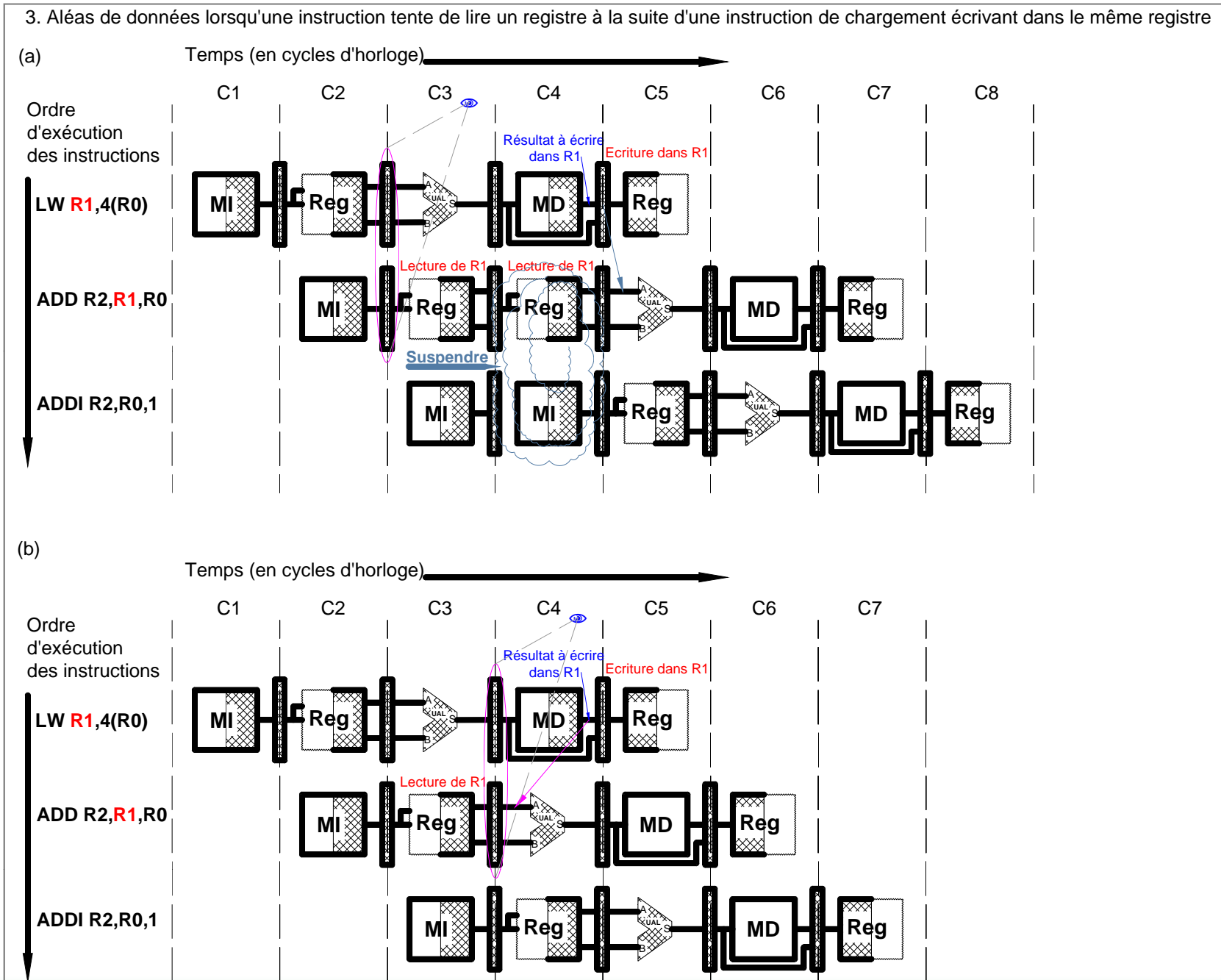
II.3.2 Aléas de branchement (3)



II.3.1 Aléas de données (1)



II.3.1 Aléas de données (3)



II.3.2 Aléas de branchement (1)

